

(19) 日本国特許庁 ( J P )

(12) 特 許 公 報 ( B 2 )

(11) 特許番号

特許第3052834号

(P3052834)

(45) 発行日 平成12年 6 月19日 (2000. 6. 19)

(24) 登録日 平成12年 4 月 7 日 (2000. 4. 7)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

G 0 1 R 31/28  
31/26

G 0 1 R 31/28  
31/26

M  
G

請求項の数 2 (全 4 頁)

(21) 出願番号 特願平8-99407

(22) 出願日 平成 8 年 3 月28日 (1996. 3. 28)

(65) 公開番号 特開平9-264934

(43) 公開日 平成 9 年10月 7 日 (1997. 10. 7)

審査請求日 平成 9 年11月26日 (1997. 11. 26)

(73) 特許権者 000117744

安藤電気株式会社

東京都大田区蒲田 4 丁目19番 7 号

(72) 発明者 渡辺 裕二

東京都大田区蒲田 4 丁目19番 7 号 安藤  
電気株式会社内

審査官 尾崎 淳史

(56) 参考文献 特開 平 5 -107313 ( J P , A )

特開 平 8 -36026 ( J P , A )

特開 平 7 -280885 ( J P , A )

特開 平 9 -251053 ( J P , A )

(58) 調査した分野(Int.Cl.<sup>7</sup> , D B 名)

G01R 31/26, 31/28

(54) 【発明の名称】 半導体検査装置の共用入出力インタフェース回路

1

(57) 【特許請求の範囲】

【請求項 1】 端子(10A) に信号を出力するドライバ(1) と、  
端子(10A) に入力される信号の良否を判定するコンパレータ(2) と、  
コンパレータ(2) の入力端子に一端を接続する第 1 の抵抗(R1)と、  
第 1 の抵抗(R1)の他端に接続するスイッチ(4) と、  
スイッチ(4) がオン時に電圧を第 1 の抵抗(R1) に印加する電圧源(9) と、  
一端が電圧源(9) に接続される第 2 の抵抗(R2)と、  
制御信号源(8) と、  
端子(10B) と接続する共通端子(6A)と、第 2 の抵抗(R2)の他端を接続する第 1 の接点(6C)と、制御信号源(8) の出力を接続する第 2 の接点(6B)をもつスイッチ(6) を備

2

えることを特徴とする半導体検査装置の共用入出力インタフェース回路。

【請求項 2】 入出力インタフェース回路の端子(10A・10B) に被検査半導体の種類に応じて回路構成の異なるテストボードを接続するとともに端子(10C) に被検査半導体(3) を接続し、信号書込み状態で被検査半導体(3) の入出力端子にドライバ(1) の出力を印加し、信号読込み状態で被検査半導体(3) の入出力端子からの出力をコンパレータ(2) で合否判定する半導体検査装置において、  
10 被検査半導体(3) の入出力端子に負荷回路(7) を接続させる場合、被検査半導体(3) の入出力端子と入出力インタフェース回路(10)の端子(10A) を接続する伝送線路(Z1)と、端子(10A) と伝送線路(Z1)の間に一端を接続し、接続制御端子(5A)に入力する信号により駆動するスイッチ(5) と、スイッチ(5) の他端に接続する負荷回路(7)

3

を備えるテストボード(20)を入出力インタフェース回路(10)に接続し、スイッチ(6)の共通端子(6A)を第2の接点(6B)に接続し、制御信号源(8)から負荷回路接続制御信号を端子(10B)を介してスイッチ(5)の接続制御端子(5A)に入力してスイッチ(5)をオンさせ、負荷回路(7)を伝送線路(Z1)を介して被検査半導体(3)の入出力端子に接続し、被検査半導体(3)の入出力端子を2方向で抵抗終端する場合、被検査半導体(3)の入出力端子と入出力インタフェース回路(10)の端子(10A)を接続する伝送線路(Z1)と、被検査半導体(3)の入出力端子と入出力インタフェース回路(10)の端子(10B)に接続させる第2の伝送線路(Z2)を備えるテストボード(21)を入出力インタフェース回路(10)に接続し、スイッチ(4)をオンにするとともにスイッチ(6)の共通端子(6A)を第1の接点(6C)に接続し、電圧源(9)に接続された第2の抵抗(R2)を伝送線路(Z2)に接続することを特徴とする請求項1に記載の半導体検査装置の共用入出力インタフェース回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、被検査半導体3の入出力端子に負荷回路7を接続させる場合にも被検査半導体3の入出力端子を2方向で抵抗終端する場合にも適用される半導体検査装置の共用入出力インタフェース回路に関するものである。

【0002】

【従来の技術】次に、従来技術による半導体検査装置の入出力インタフェース終端回路の構成を図6に示す。図6の3は被検査半導体、11は入出力インタフェース回路、20はテストボードである。

【0003】図6で、入出力インタフェース回路11は、端子10Aに出力するドライバ1と、端子10Aからの信号を入力するコンパレータ2と、ドライバ1の出力端子およびコンパレータ2の入力端子に一端を接続する抵抗R1と、抵抗R1の他端に一端を接続するスイッチ4と、スイッチ4の他端に接続する電圧源9と、端子10Bに接続する発信源8を備える。ドライバ1は図示を省略した外部制御回路から被検査半導体3に入力する信号を与えられ、コンパレータ2は被検査半導体3の判定結果を、図示を省略した外部制御機器に出力する。

【0004】また、テストボード20は、被検査半導体3の各端子から入出力インタフェース回路11の端子10Aに接続する伝送線路Z1と、入出力インタフェース回路11の端子10Aに一端を接続するスイッチ5と、スイッチ5の他端に接続する負荷回路7と、被検査半導体3を接続する端子10Cが設けられている。

【0005】テストボード20のスイッチ5は接続制御端子5Aを備え、入出力インタフェース回路10の発信源8の出力が接続される端子10Bと接続されて、発信源8の出力、すなわち負荷回路接続制御信号によりスイ

4

ッチ5を開閉する。スイッチ5が開閉することにより、伝送線路Z1に負荷回路7が断接する。

【0006】次に、半導体検査装置の動作を図6を参照して説明する。被検査半導体3が信号書き込み状態の場合、入出力インタフェース回路11のドライバ1は図示を省略した外部制御機器からの信号を伝送線路Z1を介して被検査半導体3に出力する。また、被検査半導体3が信号読み出し状態では、被検査半導体3から伝送線路Z1を介して送られた信号を入出力インタフェース回路11のコンパレータ2に入力してその良否を判定する。

【0007】この時、被検査半導体3の出力を電圧源9に抵抗終端する場合、スイッチ4をオン状態として抵抗R1を電圧源9に接続させ、被検査半導体3の検査をする。また、制御信号源8から負荷回路接続制御信号をスイッチ5の端子5Aに入力してスイッチ5をオンさせることで、被検査半導体3の出力に伝送線路Z1を介して負荷回路7を接続させ検査を行う。これらの機能により被検査半導体3の1端子分を検査する。

【0008】なお、図6でテストボード20の構成は一般的な例として伝送線路Z1とスイッチ5と負荷回路7を備えたものを示したが、被検査半導体3の種類により試験の内容も異なるので、テストボードの構成はそれに対応して変更する。したがって、テストボード20は、被検査半導体3の種類ごとに用意されるものである。

【0009】

【発明が解決しようとする課題】例えば、被検査半導体がSSTL(Stub Series Terminated Logic)やGTL(Gunning Transceiver Logic)のような高速・小振幅バスインタフェースの場合、半導体試験装置では、図4に示すように、2方向で抵抗終端して検査する必要がある。しかし、図6の入出力インタフェース回路11の構成では、一つの伝送線路に対してしか抵抗終端することができない。このため、入出力インタフェース回路11を使用してSSTLやGTLなどの試験を実現しようとする場合、図5に示すような構成にする必要がある。

【0010】図5で、テストボード21はSSTLやGTLを試験するために、伝送線路Z1・Z2が備えられている。伝送線路Z1・Z2を抵抗終端するため、端子10Aには入出力インタフェース回路11Aのドライバ1Aが接続され、端子10Bには入出力インタフェース回路11Bのドライバ1Bが接続されている。

【0011】このように、被検査半導体がSSTLやGTLのような高速・小振幅バスインタフェースの場合、半導体検査装置3に接続する入出力インタフェース回路が、1端子当たり2回路必要になるという問題がある。

【0012】この発明は、2方向での終端が必要な半導体を検査する場合に、入出力インタフェース回路の数を増やすことなく2方向での抵抗終端接続をする共用入出力インタフェース回路の提供を目的とする。

【0013】

【課題を解決するための手段】この目的を達成するため、この発明は、端子10Aに信号を出力するドライバ1と、端子10Aに入力される信号の良否を判定するコンパレータ2と、コンパレータ2の入力端子に一端を接続する抵抗R1と、抵抗R1の他端に接続するスイッチ4と、スイッチ4がオン時に電圧を抵抗R1に印加する電圧源9と、一端が電圧源9に接続される抵抗R2と、制御信号源8と、端子10Bと接続する共通端子6Aと、抵抗R2の他端を接続する接点6Cと、制御信号源8の出力を接続する接点6Bをもつスイッチ6を備える。

【0014】

【発明の実施の形態】次に、この発明の実施の形態による半導体検査装置の共用入出力インタフェース回路を図1を参照して説明する。図1の1はドライバ、2はコンパレータ、4・6はスイッチ、8は制御信号源、9は電圧源、R1・R2は終端抵抗である。図1で、ドライバ1・コンパレータ2・スイッチ4・抵抗R1・制御信号源8・電圧源9は図6の入出力インタフェース回路11と同じであり、ドライバ1・コンパレータ2・抵抗R1・スイッチ4・電圧源9の接続関係も同じである。

【0015】抵抗R2の一端は電圧源9に接続される。スイッチ6は抵抗R2の他の一端に接続した接点6Cと制御信号源8に接続した接点6Bを切り換え、スイッチ6の共通端子6Aを接点6Bに接続することにより、制御信号源8が端子10Bに接続され、スイッチ6の共通端子6Aを接点6Cに接続することにより、電圧源9に接続された抵抗R2が端子10Bに接続される。

【0016】つぎに、図1の共用入出力インタフェース回路10の使用状態を、図2・図3を参照して説明する。図2は、図6で説明した被検査半導体3を検査する場合に、テストボード20を共用入出力インタフェース回路10に接続した半導体試験装置の構成図であり、被検査半導体3の出力に負荷回路7の接続が必要な半導体を検査する場合の構成図である。

【0017】図2で、共用入出力インタフェース回路10に伝送線路Z1と、スイッチ5と、負荷回路7を備えるテストボード20を接続させる。ここでスイッチ6の共通端子6Aと接点6Bを接続させ、制御信号源8からの負荷回路接続制御信号を共用入出力インタフェース回路10の端子10Bを通してスイッチ5の端子5Aに入力する。接続制御端子5Aに入力された信号の制御によりスイッチ5をオンさせることで、被検査半導体3の入出力端子に伝送線路Z1を介して負荷回路7を接続させて検査を行う。

【0018】図2の構成は、テストボード20を共用入出力インタフェース回路10に接続し、スイッチ6の共通端子6Aを接点6Bに接続することにより、図6の構成と同じになっている。

【0019】図3は、図4で説明した被検査半導体3を

検査する場合に、テストボード21を共用入出力インタフェース回路10に接続した半導体試験装置の構成図であり、入出力端子を2方向で電圧源9に抵抗終端を必要とする被検査半導体3を検査する場合の構成図である。

【0020】図3で、共用入出力インタフェース回路10に伝送線路Z1と伝送線路Z2を備えるテストボード21を接続させる。ここでスイッチ6の共通端子6Aを接点6Cに接続させることにより、テストボード21の伝送線路Z1の一端が被検査半導体3の入出力端子に接続されるとともに、スイッチ4がオンの状態で他の一端が抵抗R1を介して電圧源9に接続されて第1の終端となり、テストボード21の伝送線路Z2は一端が被検査半導体3の入出力端子に接続され、他の一端は抵抗R2を介して電圧源9に接続されて第2の終端となる。以上の接続により、被検査半導体3の入出力端子が2方向で終端された状態で検査を行う。

【0021】図3の構成は、テストボード21を共用入出力インタフェース回路10に接続し、スイッチ6の共通端子6Aを接点6Cに接続することにより、図4の構成と同じになっている。

【0022】

【発明の効果】この発明によれば、入出力インタフェース回路にスイッチを設けたので、高速・小振幅パルスインタフェースのように2方向で終端が必要な半導体を検査する場合と、被検査半導体に負荷回路を接続させて試験を行う場合などで、入出力インタフェース回路のスイッチを切り換えることにより、入出力インタフェース回路の数を増やすことなく両種類の半導体を検査することができる。

30 【図面の簡単な説明】

【図1】この発明による半導体検査装置の共用入出力インタフェース回路の構成図である。

【図2】テストボード20を接続して負荷回路接続検査を行う共用入出力インタフェース回路の構成図である。

【図3】テストボード21を接続して2方向終端接続検査を行う共用入出力インタフェース回路の構成図である。

【図4】2方向終端を実現する回路の構成図である。

40 【図5】従来技術による半導体検査装置の入出力インタフェース回路による2方向終端の構成図である。

【図6】従来技術による半導体検査装置の入出力インタフェースの負荷回路接続検査の構成図である。

【符号の説明】

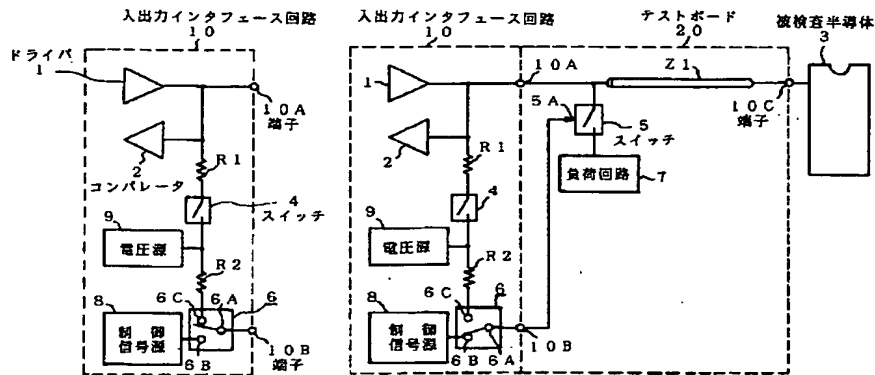
- 1 ドライバ
- 2 コンパレータ
- 3 被検査半導体
- 4～6 スイッチ
- 5A 接続制御端子
- 6A 共通端子
- 6B・6C 接点

- 7 負荷回路  
8 制御信号源  
9 電圧源  
10・11 入出力インタフェース回路

- \* 10A・10B・10C 端子  
20・21 テストボード  
R1・R2 抵抗  
\* Z1・Z2 伝送線路

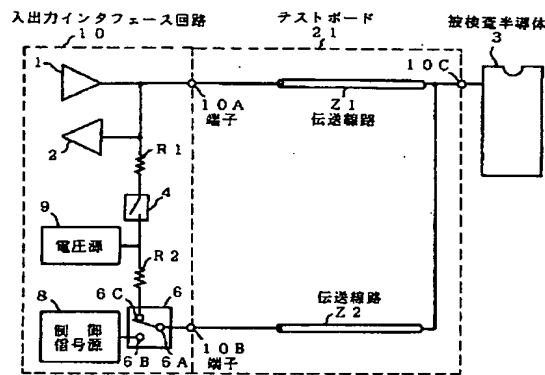
【図1】

【図2】

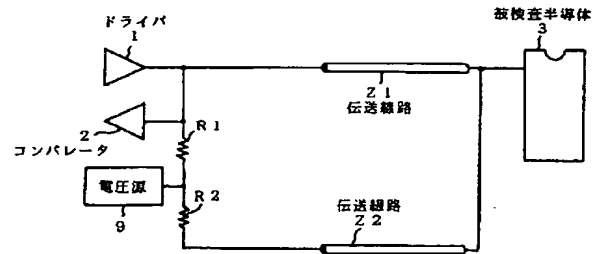


【図3】

【図4】



【図5】



【図6】

